

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321812

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H04L 27/14

H04L 15/00

(21)Application number : 08-135251

(71)Applicant : TOKYO ELECTRON IND CO LTD

(22)Date of filing : 29.05.1996

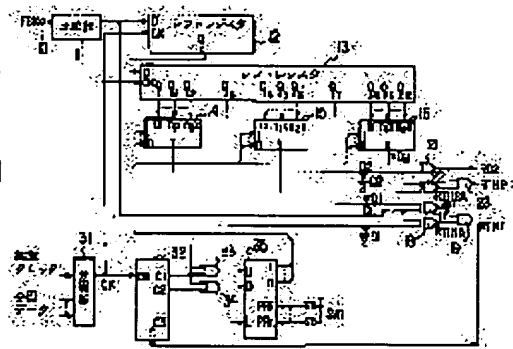
(72)Inventor : HATANO TAMIO

(54) DIGITAL DATA DEMODULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain data recovery with a small error rate by allowing a receiver side to easily cope with even a revised baud rate and automatically correcting demodulation distortion.

SOLUTION: A frequency shift keying(FSK) modulation signal is waveform- shaped in a comparator 11 and given to a shift register 13 via a shift register 12. Outputs whose phases are different by $\pi/2$ each are given to exclusive (EX) OR circuits 21, 22 in an output stage of the shift register 13 and they are demodulated into demodulation data and a clock signal. The clock from a frequency divider 31 is selected based on frequency division data to easily cope with revision of a baud rate. A duty factor of demodulated data obtained by Ex OR circuits 17, 18 and an AND circuit 19 is measured by a timing generating circuit 32 and a counter 35 and selection of multiplexers 14-16 is controlled based on the measurement content to eliminate demodulation distortion.



LEGAL STATUS

[Date of request for examination] 19.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Best Available Copy

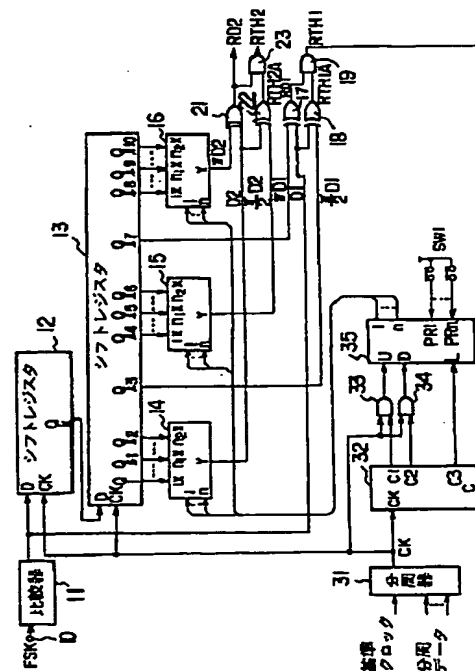
(2) Japanese Patent Application Laid-Open No. 09-321812 (1997)

“DIGITAL DATA DEMODULATOR”

The following is an English translation of an extract of the above application.

5 It is an object of the present invention to obtain data recovery having a small error rate by allowing a receiver to easily deal with a changed baud rate and automatically correcting demodulation distortion.

(11)特許出願公開番号



【特許請求の範囲】

【請求項1】デジタルデータ“0”、“1”で変調された変調信号が入力され、前記変調信号を特性可変遅延手段に通して遅延時間が異なる少なくとも第1と第2の遅延信号に変換し、前記第1と第2の遅延信号を排他的論理手段に通して前記デジタルデータを再現した第1の復調出力を得る手段と、

前記特性可変遅延手段に供給するクロックの周波数をボーレートの変更に応じて任意に切り換え設定する特性切り換え手段とを備えたことを特徴とするデジタルデータ復調装置。

【請求項2】デジタルデータ“0”、“1”で変調された変調信号が入力され、前記変調信号を特性可変遅延手段に通して遅延時間が異なる少なくとも第1と第2の遅延信号に変換し、前記第1と第2の遅延信号を排他的論理手段に通して前記デジタルデータを再現した第1の復調出力を得る手段と、

前記特性可変遅延手段から参照用の第2の復調出力を得る手段と、

前記第2の復調出力の波形デューティを計測して規定値からのずれを検出し、この検出出力により、前記特性可変遅延手段の遅延特性を制御して前記ずれをなくした復調出力を得るように制御する制御手段とを備えたことを特徴とするデジタルデータ復調装置。

【請求項3】デジタルデータ“0”、“1”で変調された変調信号が入力され、前記変調信号を特性可変遅延手段に通して遅延時間が異なる少なくとも第1と第2の遅延信号に変換し、前記第1と第2の遅延信号を排他的論理手段に通して前記デジタルデータを再現した第1の復調出力を得る手段と、

前記特性可変遅延手段から参照用の第2の復調出力を得る手段と、

前記第2の復調出力の波形デューティを計測してその規定値からのずれを検出し、この検出出力により、前記特性可変遅延手段の遅延特性を制御して前記ずれをなくした復調出力を得るように制御する制御手段と、

前記特性可変遅延手段に供給するクロックの周波数をボーレートの変更に応じて任意に切り換え設定する特性切り換え手段とを備えたことを特徴とするデジタルデータ復調装置。

【請求項4】前記特性切り換え手段は、分周器で構成され、分周データの値を変更することにより出力クロックの周波数が切り換えられることを特徴とする請求項1又は3のいずれかに記載のデジタルデータ復調装置。

【請求項5】前記特性可変遅延手段は、入力データをクロックにより転送するシフトレジスタと、前記シフトレジスタの第1のグループとなる複数の出力段の出力のいずれか1つを前記検出出力の内容に応じて選択導出する第1の選択手段と、

前記シフトレジスタの第2のグループとなる複数の出力段の出力のいずれか1つを前記検出出力の内容に応じて選択導出する第2の選択手段と、

前記シフトレジスタの第3のグループとなる複数の出力段の出力のいずれか1つを前記検出出力の内容に応じて選択導出する第3の選択手段とを具備していることを特徴とする請求項3記載のデジタルデータ復調装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、FSK（周波数シフトキーイング）変調信号等を復調するデジタルデータ復調装置に関する。

【0002】

【従来の技術分野】FSK変調信号を復調する従来の復調装置は、入力FSK信号を、直接信号を遅延信号に分けて両者の排他的論理を取ることにより復調を行っている。この場合、遅延手段としてはアナログ素子を用いている。また、入力FSK信号に位相ロックする位相ロックループ回路（PLL回路）を利用して、その同期制御のために変換するVCO制御電圧を復調データとして抽出する方式もある。

【0003】

【発明が解決しようとする課題】上記従来のデジタルデータ復調装置によると、送り側においてデータ伝送におけるボーレートを簡単に変更することができなかった。これは、ボーレートを変更すると、受信側における全ての受信機の遅延手段の遅延特性を切り換える作業が必要となるからである。また、PLL回路においてもPLL特性を切り換える作業が必要となるからである。

【0004】そこでこの発明は、ボーレートを変更しても、受信側では容易に変更に対応してデータ復調を得られるようにしたデジタルデータ復調装置を提供することを目的とする。

【0005】またこの発明は、復調歪みを自動的に修正し、誤り率の少ないデータ再生を得ることができるデジタルデータ復調装置を提供することを目的とする。さらにまたこの発明は、デジタル化してIC化を容易するとともに無調整化を可能とするデジタルデータ復調装置を提供することを目的とする。

【0006】

【課題を解決するための手段】この発明は、デジタルデータ“0”、“1”で変調された変調信号が入力され、前記変調信号を特性可変遅延手段に通して遅延時間が異なる少なくとも第1と第2の遅延信号に変換し、前記第1と第2の遅延信号を排他的論理手段に通して前記デジタルデータを再現した第1の復調出力を得る手段と、前記特性可変遅延手段に供給するクロックの周波数をボーレートの変更に応じて任意に切り換え設定する手段とを備えるものである。

【0007】上記の手段によりボーレートが変更されて

も回路構成を何等変更することなく容易に対応可能である。この発明は、デジタルデータ“0”、“1”で変調された変調信号が入力され、前記変調信号を特性可変遅延手段に通して遅延時間が異なる少なくとも第1と第2の遅延信号に変換し、前記第1と第2の遅延信号を排他的論理手段に通して前記デジタルデータを再現した第1の復調出力を得る手段と、前記特性可変遅延手段から参照用の第2の復調出力を得る手段と、前記第2の復調出力を用いて前記特性可変遅延手段の遅延特性を制御して前記復調信号の歪みを修正した復調出力を得るように制御する制御手段と備えるものである。

【0008】上記の手段により、復調出力の歪みを自動修正して誤り率の少ない復調出力を得ることができる。この発明は、デジタルデータ“0”、“1”で変調された変調信号が入力され、前記変調信号を特性可変遅延手段に通して遅延時間が異なる少なくとも第1と第2の遅延信号に変換し、前記第1と第2の遅延信号を排他的論理手段に通して前記デジタルデータを再現した第1の復調出力を得る手段と、前記特性可変遅延手段から参照用の第2の復調出力を得る手段と、前記第2の復調出力を用いて前記特性可変遅延手段の遅延特性を制御して前記復調信号の歪みを修正した復調出力を得るように制御する制御手段と、前記特性可変遅延手段に供給するクロックの周波数をボーレートの変更に応じて任意に切り換え設定する手段とを備えるものである。

【0009】上記の手段によりボーレートが変更されても回路構成を何等変更することなく容易に対応可能であり、かつ、復調出力の歪みを自動修正して誤り率の少ない復調出力を得ることができる。

【0010】

【実施の形態】以下、この発明の実施の形態を図面を参照して説明する。図1はこの発明の一実施の形態であり、図2は図1の装置の動作を説明するために示した各部の信号波形である。まず図1の構成から説明する。入力端子10にはデジタルデータ“0”、“1”（図2の(2a)）で変調されたFSK（周波数シフトキーイング）変調信号が供給され、比較器11に導かれる。比較器11ではFSK変調信号（図2の(2b)）は、所定レベルでスライスされて矩形波に変換されて導出され、第1のシフトレジスタ12のデータ入力端子に入力される。第1のシフトレジスタ12の固定位置（Qk）の出力は第2のシフトレジスタ13のデータ入力端子に供給される。

【0011】第1、第2のシフトレジスタ12、13のクロック（Ck）は、分周器31からのクロックが供給されている。この分周器31は、基本クロックを、任意に変更可能な分周データに応じて分周して先のクロック（Ck）を作成している。

【0012】第2のシフトレジスタ13は、出力段Q1～Ql1～Qlmを有する。第2のシフトレジスタ13

の例えば出力端Ql3、Ql7と、先の比較器11の出力端は、イクスクルーシブオア回路（以下EXオア回路と記す）17、18の入力側に導かれている。即ち、EXオア回路17の第1入力端子には、シフトレジスタ13の出力段Ql7の出力が供給され、またEXオア回路17の第2入力端子と、EXオア回路18の第1入力端子には、比較器11の出力が供給され、EXオア回路18の第2入力端子には、シフトレジスタ13の出力段Ql3の出力が供給されている。

【0013】比較器11の出力がD1であるとする、シフトレジスタ13の出力段Ql3の出力はD1より $\pi/2$ 遅れた（ $\pi/2$ ）D1、出力段Ql7の出力はさらに $\pi/2$ 遅れた（ π ）D1となるようにシフトレジスタ13との接続関係が設定されている。

【0014】EXオア回路17、18の出力（RD1、RTH1A）は、アンド回路19に入力されて論理積を取られる。このアンド回路19の出力（RTH1）は、タイミング発生回路32のクリア端子（C）に供給されている。タイミング発生回路32は、クリア端子に入力するクリアパルスに同期して、分周器31からのクロックに基づいてタイミング信号C1、C2、C3を生成し、タイミング信号C1をアンド回路33の第2入力端子に供給し、タイミング信号C2をアンド回路34の第2入力端子に供給している。アンド回路33、34の第1入力端子には、分周器31からのクロック（Ck）が供給されている。アンド回路33、34の出力は、アップダウンカウンタ35のアップ制御端子（U）、ダウン制御端子（D）にそれぞれ供給されており、このアップダウンカウンタ35のロード端子（L）には先のタイミング信号C3が供給されている。アップダウンカウンタ35のプリセット入力端子（PR1～PRn）には、スイッチSW1からプリセット値を供給することができ、このプリセット値は、先のタイミング信号C3がロード端子（L）に供給されることによりセットされる。

【0015】アップダウンカウンタ35の出力は、選択手段であるマルチプレクサ14、15、16の制御端子に制御データとして供給される。マルチプレクサ14、15、16はそれぞれシフトレジスタ13から複数の出力を受けとり、制御データに応じた1つの出力を選択導出する。マルチプレクサ14の出力はEXオア回路21の第2入力端子とEXオア回路22の第1入力端子に供給され、マルチプレクサ15の出力はEXオア回路22の第2入力端子に供給され、マルチプレクサ16の出力はEXオア回路21の第1入力端子に供給される。

【0016】マルチプレクサ14の選択出力がD2であるとする、マルチプレクサ15の出力はD2より $\pi/2$ 遅れた（ $\pi/2$ ）D2、マルチプレクサ16の出力はさらに $\pi/2$ 遅れた（ π ）D2となるようにシフトレジスタ13との接続関係及び共通の制御データとの関係が設定されている。EXオア回路21の出力が復調データ

である。また、EXオア回路21、22の出力(RD2、RTH2A)は、アンド回路23に輸入される。このアンド回路23の出力は、タイミングクロック(RTH2)として用いられる。

【0017】図2を参照して動作を説明する。送信周波数(f_c)をFM変調するサブキャリアにおいて、データ“1”を f_L 、データ“0”を f_H (またはデータ“0”を f_L 、データ“1”を f_H)とすると、直列データ“1”または“0”に応じて f_c をFM変調することができる。 $f_H=2f_L$ の関係があるFSK信号(これをMSKとも言う)を復調する場合、遅延検波方式が用いられる。図1はその構成を示すものであり、図2はその動作タイミング図を示している。直列データに対応するFSK信号を図1では“1”を f_L に、“0”を f_H に対応させている。このサブキャリアは $f_H=2f_L$ の関係があることは前述の通りである。

【0018】FSK信号を比較器11により波形形成すると図2に示すデジタル信号D1を得る。D1はシフトレジスタ13に輸入されるが、シフトレジスタ13、マルチプレクサ14、15、16、EXオア回路21、22、アンド回路23で構成される遅延検波手段により、FSK変調信号の復調出力RD2を得ることができる。

【0019】シフトレジスタ13、EXオア回路17、18、アンド回路19、タイミング発生回路32、アップダウンカウンタ35、マルチプレクサ14、15、16などにより復調データの歪みを検出してその歪みを低減する制御手段を構成している。以下その歪み低減動作について説明する。

【0020】図2の(2d)に示すD2は、FSK信号D1をシフトレジスタ12により α 時間遅延させたデジタル信号である。ここで位相の遅れを f_L を基準としたラジアルで表現すると、D1を $(\pi/2)$ ラジアン遅延させた信号を $(\pi/2)D1$ 、 π ラジアン遅延させた信号を $\pi D1$ とする。また、D2を $(\pi/2)$ ラジアン遅延させた信号を $(\pi/2)D2$ 、 π ラジアン遅延させた信号を $\pi D2$ とする。

【0021】D1と $\pi D1$ の排他的論理和の出力RD1は、図2の(2i)に示され、D2と $\pi D2$ の排他的論理和の出力RD2は、図2の(2l)に示されている。D1と $(\pi/2)D1$ の排他的論理和出力(RTH1A)とRD1の論理積を取った出力はRD1の“1”に同期したクロックRTH1(図2の(2k))として抽出され、D2と $(\pi/2)D2$ の排他的論理和出力(RTH2A)とRD2の論理積を取った出力はRD2の“1”に同期したクロックRTH2(図2の(2n))として抽出される。RD1、RD2は漕手データTDに対して遅延時間が相違するだけで直列データの内容は同一である。

【0022】データデータの復調出力をRD2から得る

ものとする。α時間まえには同じ内容のデータRD1(図2の(2i))が得られていることになる。これは、シフトレジスタ12を設けてD1、D2を得ていることに起因する。したがって、RD2が出力されるα時間前にデータの歪みを観測することが可能となり、歪みの程度によりRD2を制御することにより歪みの少ないデジタルデータを得ることができる。

【0023】図3、図4、図5はその歪み低減動作を説明するために示した図である。図3は復調歪みが無い場合、図4は復調データが本来のボーレートより小さい場合、図5は復調データが本来のボーレートより大きい場合の動作を示している。ボーレートにより定義されている時間Tに対して、RD1の区間T1にクロックCkが何個カウントされるかによって、復調データが時間Tに対して大きい小さいかの判断を行うことが可能である。つまり復調データの波形デューティが規定されているデューティであるかどうかにより復調歪みが生じているかどうかを判定することが可能である。

【0024】時間Tの間にn3個のパルスがカウントされるものとする。図3の場合は、 $T=T1$ であり、RTH1がハイレベルからローレベルに移ったときは、すでにタイミング発生回路32はクロックをn3カウントしているために、タイミング信号C1、C2は出力されない。タイミング信号C3は、カウント数n4に合わせて出力されるようになっている。

【0025】図4の場合は、 $T2 < T$ であり、復調データT2のハイレベル期間がTより小さい場合である。このときは、復調データRTH1がハイレベルからローレベルに変化したとき、カウント数がn2であるとする。カウント数がn3になるまでは、タイミング信号C1を出力する。すると、アップダウンカウンタ35は、クロックをアップカウントするように制御される。

【0026】逆に図5の場合は、 $T3 > T$ であり、復調データT3のハイレベル期間がTより小さい場合である。このときは、復調データRTH1がハイレベルからローレベルに変化したとき、カウント数がn4であるとする。カウント数がn3になった後もハイレベルを維持していることになる。この場合は、n3からn4の期間にタイミング信号C2を出力する。すると、アップダウンカウンタ35は、クロックをダウンカウントするように制御される。

【0027】したがってアップダウンカウンタ35は、クロックの数、つまり歪みの程度に応じてプリセット値を変更したカウント出力を得ることになり、このカウント出力を制御データとしてマルチプレクサ14、15、16の制御端子に供給する。

【0028】マルチプレクサ14、15、16は、それぞれ複数の入力のうちいずれか1つを選択して導出するもので、例えば制御データが、先のプリセット値と同じの場合($T1=T$ の場合)には、マルチプレクサ14は

Q₁₁、マルチプレクサ15はQ₁₅、マルチプレクサ16はQ₁₉を選択導出する。そして、T₂<Tの場合、その程度に応じてマルチプレクサ14はQ₁₂側、マルチプレクサ15はQ₁₆側、マルチプレクサ16はQ_{1m}側を選択導出するように制御される。これにより復調データが“1”から“0”に変化する変化点が、T₂<Tの程度、つまり選択位置のシフト量に応じて遅くなり、データ“1”の期間を伸張できることになる。

【0029】またT₃>Tの場合は、その程度に応じてマルチプレクサ14はQ₁側、マルチプレクサ15はQ₁₄側、マルチプレクサ16はQ₁₈側を選択導出するように制御される。これにより復調データが“1”から“0”に変化する変化点が、T₃>Tの程度、つまり選択位置のシフト量に応じて早くなり、データ“1”の期間を圧縮できることになる。

【0030】シフト量の最大値が経過した時点でタイミング信号C₃によりスイッチSW₁のデータがロードされ、シフト量を元に戻しておけば次に続くデータも同じように歪みを検出して復調データを修正できる。

【0031】上記のように制御を行うことにより、EX 20 オア回路21、22に入力される信号の相対的位相関係は変化しないで、RD₂に正確に同期したクロックRTH₂を抽出することができる。クロックRTH₂は、データRD₂に同期し、RD₂が“1”の場合のみ出力されるが、RD₂が“0”の期間は、RD₂が“0”になったときのみ動作する別のカウンタを設けRD₂に同期したクロックを得ることが可能である。そしてこのようにすると復調データの“0”と“1”にそれぞれ正確に同期したクロックを得ることが可能である。

【0032】なお、回路において論理回路を構成する素子によって“1”、“0”の遷移時間が同一でないために生じる不要パルス（ハザード）が発生する場合には、ローパスフィルタによって除去することが好ましい。

【0033】上記の回路システムにおいて、ボーレートが変更された場合には分周比の設定データを変更すればよく、回路構成は何等変更する必要はない。図6にはこの発明の基本的な構成を示しており、図1の回路に比べて復調歪みを自動修正する回路部を取り除いて示してい

る。

【0034】図2の回路と対応する要素には、同一符号を付している。この実施の形態では、EXオア回路21の第2入力端子と、EXオア回路22の第1入力端子には比較器11の出力が供給されている。EXオア回路21の第2入力端子にはシフトレジスタ13の出力段Q_{1m}が接続され、EXオア回路22の第1入力端子にはシフトレジスタ13の出力段Q_{1n}が接続されている。分周器31から得られるクロックの周波数を変更する場合には、分周データの値を変更することで可能である。この構成であると、ボーレートが変更されたとしても、分周データの値を変更することにより回路構成を何等変更することなく容易にボーレート変更に対応した復調を行うことができる。

【0035】

【発明の効果】以上説明したようにこの発明によれば、ボーレートを変更しても、受信側では容易に変更に対応してデータ復調を得られ、また復調歪みを自動的に修正し、誤り率の少ないデータ再生を得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施の形態を示す回路図。

【図2】図1の回路の動作を説明するために示した図。

【図3】同じく図1の回路の動作を説明するために示した図。

【図4】同じく図1の回路の動作を説明するために示した図。

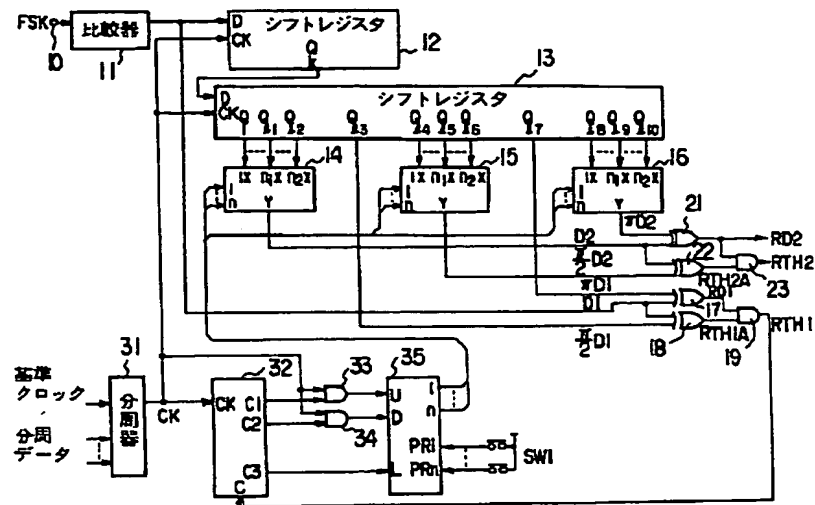
【図5】同じく図1の回路の動作を説明するために示した図。

【図6】この発明の他の実施の形態を示す図。

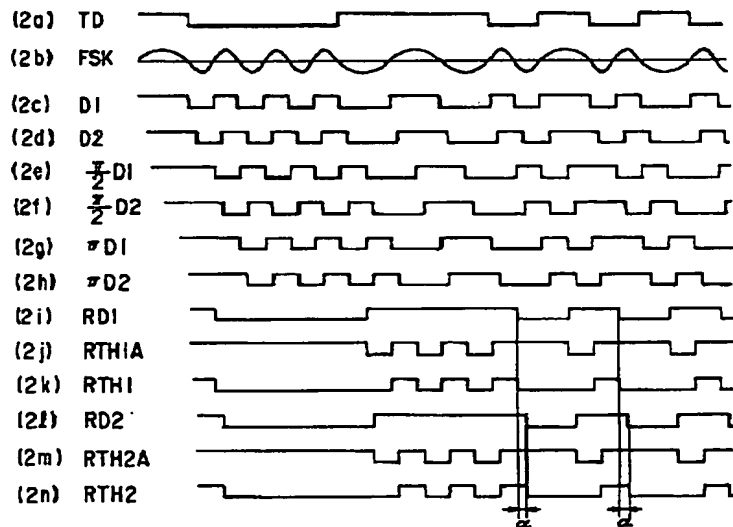
【符号の説明】

- 11…比較器
- 12、13…シフトレジスタ
- 14、15、16…マルチプレクサ
- 17、18、21、22…EXオア回路
- 19、22…アンド回路
- 31…分周器
- 32…タイミング発生回路
- 33…アップダウンカウンタ。

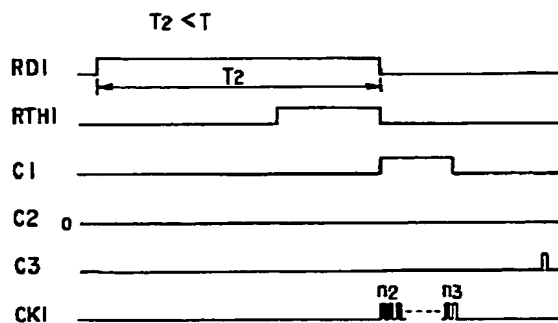
【図1】



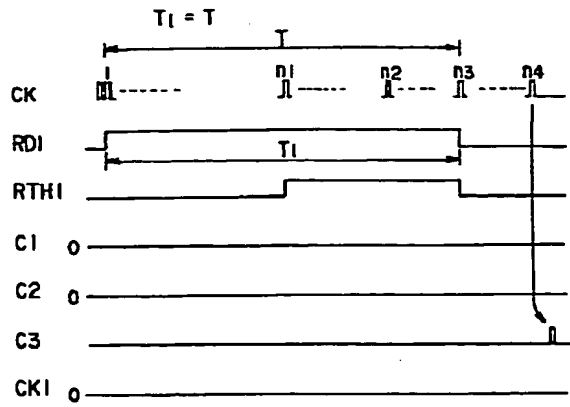
【図2】



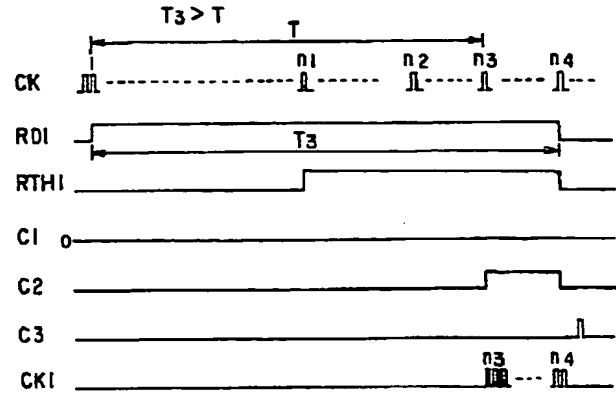
【図4】



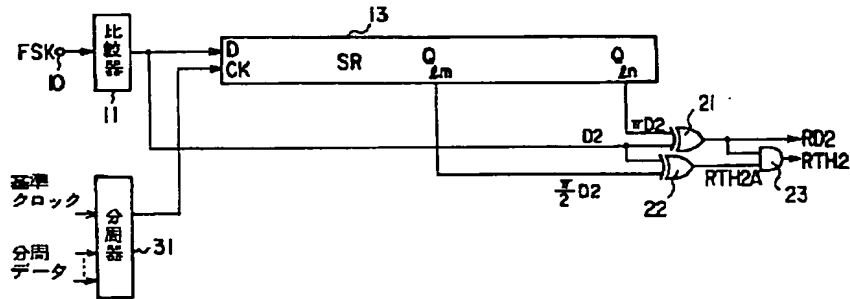
【図3】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.